



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0075765  
Application Number

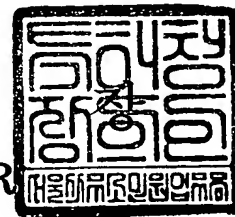
출원년월일 : 2002년 12월 02일  
Date of Application DEC 02, 2002

출원인 : 주성엔지니어링(주)  
Applicant(s) JU SUNG ENGINEERING CO., Ltd.



2003 년 11 월 12 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.02
【국제특허분류】	H01L
【발명의 명칭】	실리콘 에피텍셀층 형성방법
【발명의 영문명칭】	Forming method of Silicon epitaxial layer
【출원인】	
【명칭】	주성엔지니어링 주식회사
【출원인코드】	1-1998-096743-0
【대리인】	
【성명】	허진석
【대리인코드】	9-1998-000622-1
【포괄위임등록번호】	1999-055099-1
【발명자】	
【성명의 국문표기】	이태완
【성명의 영문표기】	LEE,Tae Wan
【주민등록번호】	700529-1802425
【우편번호】	138-170
【주소】	서울특별시 송파구 송파동 한양아파트 6동 607호
【국적】	KR
【발명자】	
【성명의 국문표기】	최규진
【성명의 영문표기】	CHOI,Kyu Jin
【주민등록번호】	721204-1052413
【우편번호】	463-060
【주소】	경기도 성남시 분당구 이매동 금강아파트 107동 508호
【국적】	KR
【발명자】	
【성명의 국문표기】	선정훈
【성명의 영문표기】	SUN,Jung Hoon
【주민등록번호】	750919-1727115

**【우편번호】** 449-843  
**【주소】** 경기도 용인시 수지읍 상현리 864번지 만현마을 3단지 성원상떼빌 30 2동 1001호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 황성진  
**【성명의 영문표기】** WHOANG, Sung Jin  
**【주민등록번호】** 690709-1036124  
**【우편번호】** 449-843  
**【주소】** 경기도 용인시 수지읍 상현리 성원아파트 111동 1903호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 조복원  
**【성명의 영문표기】** CHO, Bok Won  
**【주민등록번호】** 620911-1482530  
**【우편번호】** 449-913  
**【주소】** 경기도 용인시 구성면 보정리 생원마을 동아솔레시티아파트 117동 10 01호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 허진석 (인)  
**【수수료】**  
**【기본출원료】** 12 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 9 항 397,000 원  
**【합계】** 426,000 원  
**【감면사유】** 중소기업  
**【감면후 수수료】** 213,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통 2. 중소기업기본법시행령 제2조에 의한 중소기업에 해당함을 증명하는 서류\_1통

**【요약서】****【요약】**

본 발명에 따른 실리콘 에피텍셀층 형성방법은, 소정의 농도로 도펀트가 도핑된 실리콘 기판 표면을 F를 함유하는 식각기체와 H<sub>2</sub> 또는 D<sub>2</sub> 기체가 서로 혼합되어 이루어진 혼합 플라즈마로 세정하는 단계; 및 상기 세정 단계를 거친 실리콘 기판 표면에 실리콘 에피텍셀층을 형성하는 단계;를 포함하는 것을 특징으로 한다. 본 발명은, 상기 실리콘 기판의 도핑농도가  $10^{18} \sim 10^{21}$  원자/cm<sup>3</sup> 일 때 특히 바람직하다. 본 발명에 의하면, 새로운 전세정 방법을 도입함으로써 고농도 도핑된 실리콘 기판에 700℃ 이하의 저온에서 양질의 에피텍셀층을 형성시킬 수 있다.

**【대표도】**

도 2b

**【색인어】**도펀트, 에피텍셀, 플라즈마, 전세정, SEG, 수소 베이킹, SF<sub>6</sub>

**【명세서】****【발명의 명칭】**

실리콘 에피텍셀층 형성방법{Forming method of Silicon epitaxial layer}

**【도면의 간단한 설명】**

도 1a 내지 도 1c는 전세정으로 저압 수소 베이킹을 채택한 종래의 SEG 방법을 설명하기 위한 단면도들;

도 2a 내지 도 2c는 본 발명의 실시예에 따른 실리콘 에피텍셀층 형성방법을 설명하기 위한 단면도들이다.

**< 도면의 주요 부분에 대한 참조번호의 설명 >**

10, 110: 실리콘 기판

20, 120: 물질층 패턴

30, 130: 도펀트 영역

40, 140: 에피텍셀층

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 실리콘 에피텍셀층 형성방법에 관한 것으로서, 특히 고농도로 도핑된(highly doped) 실리콘 기판에 양질의 실리콘 에피텍셀층을 700℃ 이하의 저온에서 형성하는 방법에 관한 것이다.

- <7> 실리콘 기판 표면에는 매우 조심하여도 자연산화막이나 기타 불순물들이 존재하게 된다. 따라서, 실리콘 기판 표면에 에피텍셀층을 형성시키기 위해서는 실리콘 기판 표면의 자연산화막 등을 제거하기 위한 전세정(pre-cleaning) 과정이 필요하다.
- <8> 한편, 반도체 소자가 고집적화 되어감에 따라 서브미크론(sub-micron) 이하의 미세 패턴이 요구되고 있다. 특히, 셀 트랜지스터에서 비트라인(bit line)과 드레인(drain)을 전기적으로 연결하기 위한 비트 라인 콘택과, 스토리지 노드(storage node)와 소오스(source)를 연결하기 위한 스토리지 노드 콘택 형성시의 얼라인 마진(align margin)을 확보하기 위하여, 콘택 패드(pad) 형성에서는 주로 0.1 $\mu$ m 정도의 미세 패턴이 요구되고 있으나, 포토리소그래피 공정의 한계로 인하여 어려움이 있다. 이와 같은 문제를 해결하기 위하여 기존의 CVD(Chemical Vapour Deposition)공정을 대체하기 위한 SEG(Selective Epitaxial Growth) 방법이 새롭게 제시되었다.
- <9> 일반적으로 SEG 방법은 고농도 도핑된 실리콘 기판 표면에만 선택적으로 에피텍셀층을 형성시키는 과정을 거치는데, 이렇게 고농도 도핑된 실리콘 기판 표면에 에피텍셀층을 성장시키기 위해서는 습식 세정(wet cleaning)만으로는 부족하고 저압 수소 베이킹(Low Pressure H<sub>2</sub> Baking) 등의 전세정 처리가 필요하다.
- <10> 도 1a 내지 도 1c는 전세정으로 저압 수소 베이킹을 채택한 종래의 SEG 방법을 설명하기 위한 단면도들이다.
- <11> 도 1a는 도펀트 영역(30)을 형성하는 단계를 설명하기 위한 단면도이다. 실리콘 기판(10) 표면에 물질층 패턴(20), 예컨대 산화막 또는 질화막 패턴을 형성한 다음, 물질층 패턴(20)패턴이 형성되어 있지 않은 부분에 확산(diffusion)이나 이온주입(ion implantation) 방법으로 도펀트 영역(30)을 형성한다.

- <12> 도 1b는 전세정(pre-cleaning) 단계를 설명하기 위한 단면도로서, 도펀트 영역(30)이 형성된 실리콘 기판(10)을 1~760 torr 압력의 수소 분위기에서 베이킹(baking)한다. 이 때의 베이킹 온도는 적어도 900℃ 는 되어야 한다.
- <13> 도 1c는 실리콘 에피택셜층(40)을 형성하는 단계를 설명하기 위한 단면도로서, 도펀트 영역(30)에만 선택적으로 에피택셜층(40)을 형성한다. 에피택셜 성장 조건을 잘 조절하면 물질층 패턴(20) 상에서의 에피택셜 성장 속도보다 실리콘 기판(10) 표면에서의 성장 속도를 훨씬 크게 할 수 있다. 이러한 공정 조건을 찾아서 도펀트 영역(30)에만 선택적으로 에피택셜층(40)을 성장시킬 수 있다.
- <14> 상술한 종래의 저압 수소 베이킹은 그 공정이 900℃ 이상의 고온에서 이루어 지므로 열버짓(thermal budget) 면에서 바람직하지 않다는 단점이 있다.
- <15> 이를 극복하기 위하여 전세정 방법으로서 초고진공 어닐링 또는 수소 베이킹(Ultra High Vacuum Annealing or H<sub>2</sub> Baking) 방법이 제시되었는데, 이 방법들은 상술한 저압 수소 베이킹 방법에 비하여 공정이 상대적으로 저온에서 이루어진다는 장점이 있기는 하지만 여전히 700℃ 이상의 고온공정이라는 단점을 갖는다. 그리고, 도펀트 영역(30)의 도펀트 농도가 10<sup>18</sup>~10<sup>21</sup> 원자/cm<sup>3</sup> 정도로 고농도일 경우에는 에피택셜층(40)을 얻기가 어렵고 형성된 막질 또한 좋지 않다.
- <16> 한편, 700℃ 이하의 온도에서 수소 플라즈마(H<sub>2</sub> plasma)를 이용하는 세정 방법이 있기는 하지만, 이 방법으로 전세정한 경우에도 역시 도펀트 영역(30)의 농도가 높을 경우에는 에피택셜층(40)을 얻기가 어렵다는 단점이 있다.

<17> 상술한 바와 같이, 종래의 기술로는 실리콘 기판이 고농도로 도핑된 경우에 700℃ 이하의 온도에서 양질의 에피텍셀층을 얻을 수가 없다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 저온에서 진행될 수 있는 새로운 전세정(pre-cleaning) 과정을 도입함으로써 고농도 도핑된 실리콘 기판에 양질의 에피텍셀층을 700℃ 이하의 온도에서 형성시키는 실리콘 에피텍셀층 형성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 실리콘 에피텍셀층 형성방법은, 소정의 농도로 도펀트가 도핑된 실리콘 기판 표면을 F를 함유하는 식각기체와 H<sub>2</sub> 또는 D<sub>2</sub> 기체가 서로 혼합되어 이루어진 혼합 플라즈마로 세정하는 단계; 및 상기 세정 단계를 거친 실리콘 기판 표면에 실리콘 에피텍셀층을 형성하는 단계;를 포함하는 것을 특징으로 한다.

<20> 본 발명에 따른 에피텍셀 형성방법은, 상기 실리콘 기판의 도핑농도가 10<sup>18</sup>~10<sup>21</sup> 원자/cm<sup>3</sup> 일 때 특히 바람직하며, 상기 실리콘 에피텍셀층을 형성하는 단계는 550~700℃의 온도범위에서 수행되는 것이 바람직하다.

<21> 이하에서, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명한다.

<22> 도 2a 내지 도 2c는 본 발명의 실시예에 따른 실리콘 에피텍셀층 형성방법을 설명하기 위한 단면도들이다.



- <23> 도 2a는 도펀트 영역(130)을 형성하는 단계를 설명하기 위한 단면도이다. 실리콘 기판(110) 표면에 물질층 패턴(120), 예컨대 산화막 또는 질화막 패턴을 형성한 다음, 물질층 패턴(120)이 형성되어 있지 않은 부분에 확산(diffusion)이나 이온주입(ion implantation) 방법으로 도펀트 영역(130)을 형성한다. 도펀트로는 B, P, As, 또는 C 등이 사용될 수 있다. 도펀트 영역(130)은 고농도로 도핑될 경우 그 농도는  $10^{18} \sim 10^{21}$  원자/cm<sup>3</sup> 정도가 된다.
- <24> 도 2b는 전세정(pre-cleaning) 단계를 설명하기 위한 단면도이다. 도펀트 영역(130)이 형성된 실리콘 기판(110) 표면을 H<sub>2</sub> 또는 D<sub>2</sub> 기체와 F(fluorine)을 함유하는 식각기체, 예컨대 SF<sub>6</sub>, NF<sub>2</sub>, CF<sub>4</sub>, ClF<sub>3</sub>, HF, 또는 CCl<sub>2</sub>F<sub>2</sub> 기체가 서로 혼합되어 이루어진 혼합 플라즈마로 25 ~ 800℃ 의 온도범위에서 처리한다.
- <25> 상기 플라즈마 처리는 1mTorr 내지 1Torr 의 압력범위 내에서 행해지는 것이 바람직하다. 그리고, SF<sub>6</sub>과 H<sub>2</sub>의 혼합 플라즈마를 사용할 경우에는 SF<sub>6</sub>과 H<sub>2</sub>의 유량비가 1/10 ~ 1/1000 인 것이 바람직하다. 도펀트 영역(130)이 플라즈마에 의해 손상받는 것을 방지하기 위하여 상기 혼합 플라즈마로는 리모트 플라즈마를 사용하는 것이 바람직하다.
- <26> 도 2c는 실리콘 에피텍셀층(140)을 형성하는 단계를 설명하기 위한 단면도로서, 도펀트 영역(130)에 선택적으로 에피텍셀층(140)을 형성한다. 에피텍셀 성장 조건을 잘 조절하면 물질층 패턴(120) 상에서의 에피텍셀 성장 속도보다 실리콘 기판(110) 표면에서의 성장 속도를 훨씬 크게 할 수 있다. 이러한 공정 조건을 찾아서 도펀트 영역(130)에만 선택적으로 에피텍셀층(140)을 성장시킬 수 있다. 도 2b에서와 같은 전세정 단계를 거칠 경우에는 에피텍셀층(140)은 550 ~ 700℃ 의 온도범위에서 형성시킬 수 있다.
- <27> 전세정 과정 후에 기판(110)이 대기중에 노출되면 전세정 처리가 무용지물이 될 수 있기 때문에 도 2b에서의 전세정과 도 2c에서의 에피텍셀층(140)의 형성을 동일한 챔버에서 진행하

는 것이 좋다. 전세정과 에피텍셀층(140) 형성을 서로 다른 챔버에서 진행할 경우에는 기판 이송 시에 실리콘 기판이 대기중에 노출됨이 없도록 주의하여야 한다.

#### 【발명의 효과】

- <28> 상술한 바와 같이 본 발명에 의하면, 새로운 전세정 방법을 도입함으로써 고농도 도핑된 실리콘 기판에 700℃ 이하의 저온에서 양질의 에피텍셀층을 형성시킬 수 있다.
- <29> 본 발명은 상기 실시예에만 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

**【특허청구범위】****【청구항 1】**

소정의 농도로 도펀트가 도핑된 실리콘 기판 표면을 F를 함유하는 식각기체와 H<sub>2</sub> 또는 D<sub>2</sub> 기체가 서로 혼합되어 이루어진 혼합 플라즈마로 세정하는 단계;

상기 세정 단계를 거친 실리콘 기판 표면에 실리콘 에피텍셜층을 형성하는 단계;를 포함하는 것을 특징으로 하는 실리콘 에피텍셜층 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 실리콘 기판의 도핑농도는  $10^{18}$ ~ $10^{21}$  원자/cm<sup>3</sup> 인 것을 특징으로 하는 실리콘 에피텍셜층 형성방법.

**【청구항 3】**

제1항에 있어서, 상기 플라즈마 처리가 1mTorr 내지 1Torr 의 압력범위 내에서 행해지는 것을 특징으로 하는 실리콘 에피텍셜층 형성방법.

**【청구항 4】**

제1항에 있어서, 상기 F함유 식각기체가 SF<sub>6</sub>인 것을 특징으로 하는 실리콘 에피텍셜층 형성방법.

**【청구항 5】**

제4항에 있어서, 상기 SF<sub>6</sub>와 H<sub>2</sub>의 유량비가 1/10~1/1000인 것을 특징으로 하는 실리콘 에피텍셜층 형성방법.

**【청구항 6】**

제1항에 있어서, 상기 실리콘 에피텍셀층의 형성과 상기 플라즈마 처리가 동일한 챔버에서 행해지는 것을 특징으로 하는 실리콘 에피텍셀층 형성방법.

**【청구항 7】**

제1항에 있어서, 상기 플라즈마 처리와 상기 실리콘 에피텍셀층의 형성은 서로 다른 챔버에서 이루어지며, 상기 플라즈마 처리 후에 상기 에피텍셀층 형성을 위한 상기 실리콘 기판의 이송은 상기 실리콘 기판이 대기 중에 노출됨이 없이 이루어지는 것을 특징으로 하는 실리콘 에피텍셀층 형성방법.

**【청구항 8】**

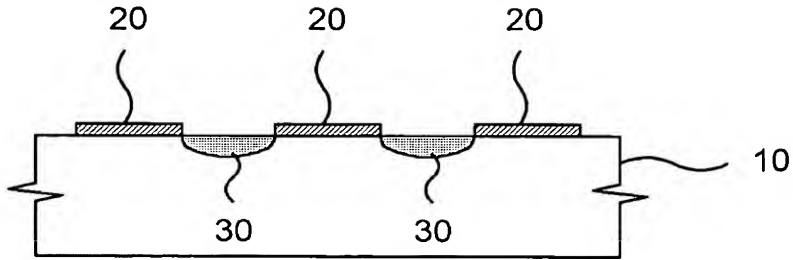
제1항에 있어서, 상기 혼합 플라즈마는 리모트 플라즈마인 것을 특징으로 하는 실리콘 에피텍셀층 형성방법.

**【청구항 9】**

제1항에 있어서, 상기 실리콘 에피텍셀층을 형성하는 단계는 550~700℃의 온도범위에서 수행되는 것을 특징으로 하는 실리콘 에피텍셀층 형성방법.

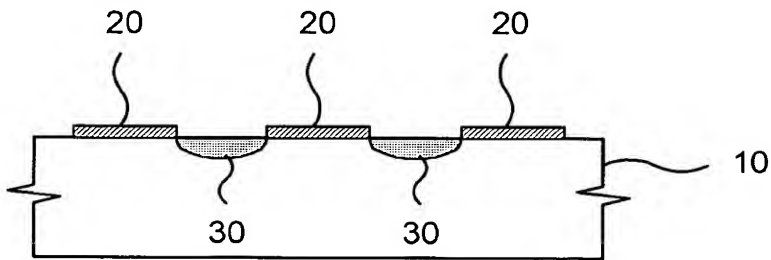
【도면】

【도 1a】

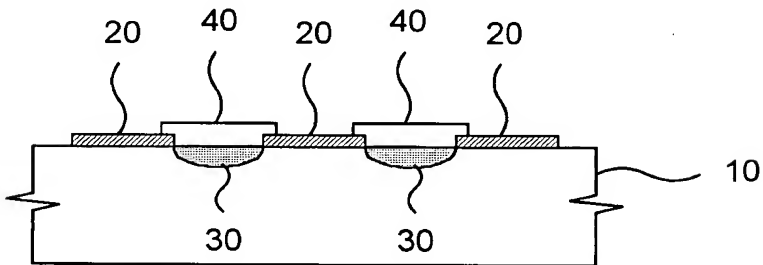


【도 1b】

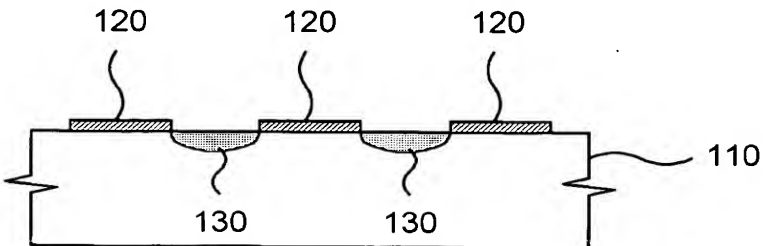
H<sub>2</sub> 베이킹



【도 1c】

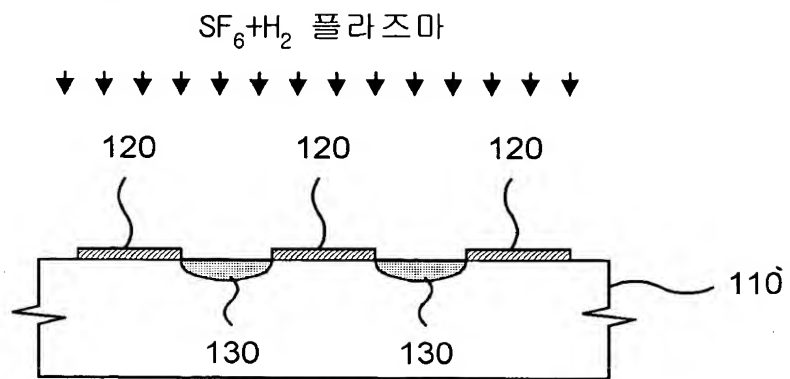


【도 2a】





【도 2b】



【도 2c】

